

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-51188

(43) 公開日 平成8年(1996)2月20日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04				
21/822				
23/00	B			
			H 0 1 L 27/ 04	H

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平6-185715

(22) 出願日 平成6年(1994)8月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(71) 出願人 000233583

日立米沢電子株式会社

山形県米沢市大字花沢字八木橋東3の3274

(74) 代理人 弁理士 筒井 大和

最終頁に続く

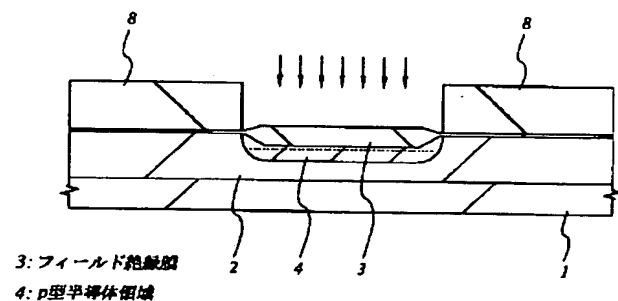
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 寄生バイポーラトランジスタ動作を利用した静電気破壊 (E S D) 防止回路の E S D 耐性を向上させる。

【構成】 p型ウェル2のフィールド絶縁膜3の下部に静電気破壊防止回路のp型半導体領域4を形成した後、フォトリソ8をマスクにしてこのp型半導体領域4にp型不純物をイオン注入することにより、フィールド絶縁膜3の直下のp型半導体領域4の不純物濃度を高くする。

図 6



## 【特許請求の範囲】

【請求項1】 第1導電型半導体基板のフィールド絶縁膜の下部に形成された第1導電型半導体領域と、前記第1導電型半導体領域を挟む一对の第2導電型半導体領域とで構成される静電気破壊防止回路を備えた半導体集積回路装置であって、前記フィールド絶縁膜の直下の前記第1導電型半導体領域の不純物濃度を、前記静電気破壊防止回路の周囲のフィールド絶縁膜の下部に形成されたチャンネルストップ領域の不純物濃度よりも高くしたことを特徴とする半導体集積回路装置。

【請求項2】 前記静電気破壊防止回路は、外部端子と入出力回路との間に配置されることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 請求項1または2記載の静電気破壊防止回路を備えた半導体集積回路装置の製造方法であって、次の工程(a)～(d)を含むことを特徴とする半導体集積回路装置の製造方法。

(a) 第1導電型半導体基板の主面に酸化のマスクとなる絶縁膜を堆積し、素子分離領域の前記絶縁膜を除去した後、前記素子分離領域の前記半導体基板に第1導電型不純物をイオン注入する工程、(b) 前記半導体基板を熱酸化することにより、前記素子分離領域の前記半導体基板の主面にフィールド絶縁膜を形成すると共に、前記フィールド絶縁膜の下部の前記半導体基板に第1導電型半導体領域を形成する工程、(c) 静電気破壊防止回路を形成する領域の前記フィールド絶縁膜の上部を開孔したフォトレジストをマスクにして、前記フィールド絶縁膜の下部の前記第1導電型半導体領域に第1導電型不純物をイオン注入する工程、(d) 前記半導体基板に第2導電型不純物をイオン注入した後、前記第2導電型不純物を熱拡散させることにより、前記第1導電型半導体領域を挟む一对の第2導電型半導体領域を形成する工程。

【請求項4】 MISFETのソース領域、ドレイン領域を構成する第2導電型半導体領域を前記工程(d)で形成することを特徴とする請求項3記載の半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、寄生バイポーラトランジスタ動作を利用した静電気破壊(ESD)防止回路を備えた半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 シリコン基板上に形成されるLSIは、チップの外部端子(ボンディングパッド)を通じて入力される過大電流から回路を保護するための静電気破壊防止回路を備えている。この種の静電気破壊防止回路は、例えば特開平3-234055号公報などに記載があるように、MISFET、抵抗素子、バイポーラトランジ

スタなどを組み合わせて構成され、通常、外部端子と入出力回路との間に配置される。

【0003】 静電気破壊防止回路の一つに、寄生バイポーラトランジスタ動作を利用したものがある。この回路は、素子分離用のフィールド絶縁膜下の半導体基板に形成されたp型半導体領域と、このp型半導体領域を挟む一对のn型半導体領域とで構成されるもので、一对のn型半導体領域のうち的一方(外部端子に接続された側)をコレクタ領域、他方(GNDに接続された側)をエミッタ領域、p型半導体領域をベース領域として動作し、外部端子を通じて入力される過大な電流をGND側に吸収する。

【0004】 上記静電気破壊防止回路を構成するp型半導体領域は、フィールド絶縁膜下の半導体基板に反転防止用のp型チャンネルストップ領域を形成する工程で同時に形成され、一对のn型半導体領域は、半導体基板にnチャンネル型MISFETのソース領域、ドレイン領域を形成する工程で同時に形成される。これにより、製造工程を増やすことなく、静電気破壊防止回路を形成することができる。

## 【0005】

【発明が解決しようとする課題】 本発明者は、前記寄生バイポーラトランジスタ動作を利用した静電気破壊(ESD)防止回路を検討した結果、この回路はESD耐性が劣化し易いことを見出した。

【0006】 前述したように、この静電気破壊防止回路のp型半導体領域(寄生バイポーラトランジスタのベース領域)は、フィールド絶縁膜下の半導体基板に反転防止用のp型チャンネルストップ領域を形成する工程を利用して形成する。具体的には、半導体基板の表面に熱酸化のマスクとなる窒化シリコン膜を堆積し、フィールド絶縁膜形成領域の上記窒化シリコン膜をエッチングで除去した後、素子分離領域にp型不純物(ホウ素)をイオン注入し、次いで半導体基板の表面をスチーム酸化する。これにより、素子分離領域の半導体基板には膜厚の厚いフィールド絶縁膜が形成され、その下部には上記p型不純物の拡散によってp型半導体領域が形成される。このp型半導体領域は、静電気破壊防止回路においては寄生バイポーラトランジスタのベース領域を構成し、他の回路(静電気破壊防止回路以外の周辺回路やメモリ回路など)においてはチャンネルストップ領域を構成する。

【0007】 ところが、本発明者の検討によると、静電気破壊防止回路のp型半導体領域を上記のような方法で形成した場合、フィールド絶縁膜の成長時にp型不純物の一部がフィールド絶縁膜に吸い上げられ、図10に示すように、フィールド絶縁膜直下の不純物濃度が低下することが見出された。そして、この結果、寄生バイポーラトランジスタの動作時にフィールド絶縁膜直下に電界が集中し、n型半導体領域(コレクタ領域)の半導体基板に転移(dislocation)のような結晶欠陥の発生がTE

M(Transmission Electron Microscope)観測によって見出された。

【0008】上記のような結晶欠陥の発生は、フィールド絶縁膜直下の電界集中に起因して半導体基板に局所的な発熱が生じ、機械的なストレスが発生することが原因になっていると考えられるが、このような結晶欠陥が発生するとリーク電流が増大するために、寄生バイポーラトランジスタの駆動能力が低下してESD耐性が劣化してしまう。

【0009】本発明の目的は、寄生バイポーラトランジスタ動作を利用した静電気破壊防止回路のESD耐性を向上させることのできる技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】本発明の半導体集積回路装置は、第1導電型半導体基板のフィールド絶縁膜の下部に形成された第1導電型半導体領域と、前記第1導電型半導体領域を挟む一対の第2導電型半導体領域とで静電気破壊防止回路を構成し、前記フィールド絶縁膜の直下の前記第1導電型半導体領域の不純物濃度を、前記静電気破壊防止回路の周囲のフィールド絶縁膜の下部に形成されたチャネルストップ領域の不純物濃度よりも高くしたものである。

【0013】本発明の半導体集積回路装置の製造方法は、前記静電気破壊防止回路を形成する際、次の工程(a)～(d)を含むものである。

【0014】(a) 第1導電型半導体基板の主面に酸化のマスクとなる絶縁膜を堆積し、素子分離領域の前記絶縁膜を除去した後、前記素子分離領域の前記半導体基板に第1導電型不純物をイオン注入する工程、(b) 前記半導体基板を熱酸化することにより、前記素子分離領域の前記半導体基板の主面にフィールド絶縁膜を形成すると共に、前記フィールド絶縁膜の下部の前記半導体基板に第1導電型半導体領域を形成する工程、(c) 静電気破壊防止回路を形成する領域の前記フィールド絶縁膜の上部を開孔したフォトレジストをマスクにして、前記フィールド絶縁膜の下部の前記第1導電型半導体領域に第1導電型不純物をイオン注入する工程、(d) 前記半導体基板に第2導電型不純物をイオン注入した後、前記第2導電型不純物を熱拡散させることにより、前記第1導電型半導体領域を挟む一対の第2導電型半導体領域を形成する工程。

【0015】本発明の半導体集積回路装置の製造方法は、前記工程(d)でMISFETのソース領域、ドレイン領域を構成する第2導電型半導体領域を形成するものである。

【0016】

【作用】上記した手段によれば、静電気破壊防止回路の第1導電型半導体領域の不純物濃度を高くすることにより、フィールド絶縁膜直下の電界集中を防止することができるので、この電界集中に起因する結晶欠陥の発生を防止してリーク電流を低減することができる。

【0017】また、上記した手段によれば、従来プロセスにフォトマスクを形成してイオン注入を行う工程を付加するだけなので、最小限の工程増加で静電気破壊防止回路のESD耐性を向上させることができる。

【0018】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0019】図1は、本実施例の静電気破壊防止回路を示す半導体基板1の要部断面図である。同図に示すように、本実施例の静電気破壊防止回路は、半導体基板1のp型ウェル2の主面に形成された酸化シリコンからなる素子分離用のフィールド絶縁膜3の下部のp型半導体領域4と、このp型半導体領域4を挟む一対のn型半導体領域5、6とで構成されている。また、この一対のn型半導体領域5、6の一方(半導体領域5)は、外部端子(ボンディングパッド)BPに接続され、他方(半導体領域6)はGNDに接続されている。

【0020】上記静電気破壊防止回路は、例えば外部端子BPと入力回路Iとの間に配置され、外部端子BPを通じて過大な電流が入力された際には、外部端子BP側のn型半導体領域5をコレクタ領域(C)、GND側のn型半導体領域6をエミッタ領域(E)、フィールド絶縁膜3の下部のp型半導体領域4をベース領域(B)とする寄生のバイポーラトランジスタが動作し、この過大な電流をGND側に吸収する。

【0021】次に、上記静電気破壊防止回路の製造方法の一例を図2～図7を用いて説明する。

【0022】まず、図2に示すように、p型の単結晶シリコンからなる半導体基板1にp型不純物( $\text{BF}_2^+$ )をイオン注入( $60\text{ keV}$ 、 $4.7 \times 10^{12}/\text{cm}^{-2}$ )した後、半導体基板1を熱処理( $1200^\circ\text{C}$ 、3時間)して上記p型不純物を引延し拡散することにより、p型ウェル2を形成する。

【0023】次に、図3に示すように、上記p型ウェル2の主面にCVD法で窒化シリコン膜3を堆積した後、フォトレジストをマスクにしたドライエッチングで素子分離領域の窒化シリコン膜3を除去する。

【0024】次に、図4に示すように、上記窒化シリコン膜3をマスクにして素子分離領域のp型ウェル2にp型不純物( $\text{BF}_2^+$ )をイオン注入( $60\text{ keV}$ 、 $2 \times 10^{13}/\text{cm}^{-2}$ )し、次いで半導体基板1をスチーム酸化( $1000^\circ\text{C}$ 、2時間)することにより、図5に示すように、素子分離領域のp型ウェル2の主面に厚い酸化シリコンのフィールド絶縁膜3を形成すると共に、このフ

フィールド絶縁膜3の下部のp型ウェル2にp型半導体領域4を形成する。このp型半導体領域4は、静電気破壊防止回路においては前記寄生バイポーラトランジスタのベース領域を構成するものであるが、他の回路（静電気破壊防止回路以外の周辺回路やメモリ回路など）においてはp型のチャンネルストップ領域を構成する。

【0025】次に、上記窒化シリコン膜3を熱リン酸で除去した後、図6に示すように、静電気破壊防止回路を形成する領域のフィールド絶縁膜3の上部を開孔したフォトレジスト8をマスクにして、このフィールド絶縁膜3の下部のp型半導体領域4にp型不純物(B)をイオン注入( $240\text{keV}$ 、 $5 \times 10^{13}/\text{cm}^{-2}$ )する。

【0026】このように、本実施例では、p型ウェル2のフィールド絶縁膜3の下部にチャンネルストップ領域を形成する工程で静電気破壊防止回路のp型半導体領域4を形成した後、フォトレジスト8をマスクにしてこのp型半導体領域4にp型不純物をイオン注入することにより、静電気破壊防止回路のp型半導体領域4の不純物濃度をチャンネルストップ領域の不純物濃度よりも高くする。

【0027】次に、上記フォトレジスト8を除去した後、図7に示すように、p型ウェル2の全面にn型不純物(P)をイオン注入し、その後、このn型不純物を拡散させることにより、前記図1に示す静電気破壊防止回路のn型半導体領域5、6を形成する。また、この工程でp型ウェル2の他の領域にnチャンネル型MISFETのソース領域、ドレイン領域を形成する。

【0028】図8は、コンピュータ・シミュレーションによって測定した静電気破壊防止回路のp型半導体領域の不純物濃度プロファイルであり、図中の白丸は本実施例の方法で製造したp型半導体領域4、黒丸は従来方法で製造したp型半導体領域のそれぞれの基板方向に沿った不純物濃度を示している。図示のように、本実施例の方法で製造したp型半導体領域4は、フィールド絶縁膜直下の不純物濃度が従来技術に比べて高くなっていることが分かる。

【0029】また、本実施例の方法で製造した静電気破壊防止回路と従来方法で製造した静電気破壊防止回路のそれぞれのESD耐圧を測定した結果を図9に示す。図示のように、本実施例の方法で製造した静電気破壊防止回路は、従来方法に比べてESD耐圧が大幅に向上したことが分かる。

【0030】このように、本実施例によれば、製造工程を従来よりも一工程増やすだけで静電気破壊防止回路のESD耐性を大幅に向上させることができる。

【0031】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0032】前記実施例では、p型ウェルの主面にフィ

ールド絶縁膜を形成する際にチャンネルストップ領域を同時に形成するプロセスに適用した場合を説明したが、例えば半導体基板の主面にフィールド絶縁膜を形成した後、p型不純物をイオン注入してp型ウェルとp型チャンネルストップ領域（および静電気破壊防止回路のp型半導体領域）を同時に形成するプロセスに適用することもできる。この場合は、チャンネルストップ領域（および静電気破壊防止回路のp型半導体領域）を形成した後、フォトレジストをマスクにしたイオン注入で静電気破壊防止回路のp型半導体領域にp型不純物を導入すればよい。

【0033】また、デバイスによっては、フィールド絶縁膜（およびp型チャンネルストップ領域）を形成した後、p型ウェルにp型の埋込み層を形成する場合がある。このようなデバイスに本発明を適用する場合は、p型ウェルにp型の埋込み層を形成する工程を利用して静電気破壊防止回路のp型半導体領域にp型不純物を導入することにより、従来と同じ製造工程で静電気破壊防止回路のESD耐性を大幅に向上させることができる。

【0034】前記実施例では、フィールド絶縁膜の下部のp型半導体領域とこれを挟む一対のn型半導体領域とで構成される静電気破壊防止回路に適用した場合を説明したが、n型ウェルの主面に形成されたフィールド絶縁膜の下部のn型半導体領域とこれを挟む一対のp型半導体領域とで構成される静電気破壊防止回路に適用することもできる。

【0035】また、本発明は、活性領域の主面に形成された第1導電型半導体領域とこれを挟む一対の第2導電型半導体領域とで構成される静電気破壊防止回路に適用することもできる。

【0036】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0037】本発明によれば、静電気破壊防止回路のESD耐圧を向上させることができるので、LSIの信頼性を向上させることができる。また、これにより、LSIの低スタンバイ電力化を促進することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である静電気破壊防止回路を示す半導体基板の要部断面図である。

【図2】本発明の一実施例である静電気破壊防止回路の製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施例である静電気破壊防止回路の製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施例である静電気破壊防止回路の製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施例である静電気破壊防止回路の製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施例である静電気破壊防止回路の

7

製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施例である静電気破壊防止回路の製造方法を示す半導体基板の要部断面図である。

【図8】コンピュータ・シミュレーションによって測定した本発明および従来の静電気破壊防止回路の不純物濃度プロファイルを示すグラフである。

【図9】本発明および従来の静電気破壊防止回路のESD耐圧の測定結果を示すグラフである。

【図10】従来の静電気破壊防止回路のフィールド絶縁膜下部の不純物濃度プロファイルを示すグラフである。

【符号の説明】

1 半導体基板

2 p型ウェル

3 フィールド絶縁膜

4 p型半導体領域

5 n型半導体領域

6 n型半導体領域

7 窒化シリコン膜

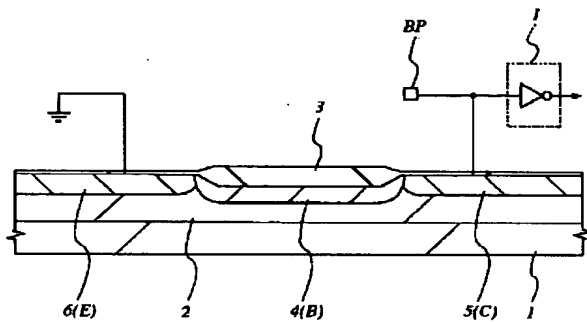
8 フォトリソグ

BP 外部端子 (ボンディングパッド)

10 I 入力回路

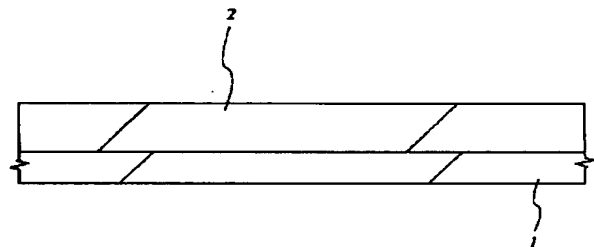
【図1】

図 1



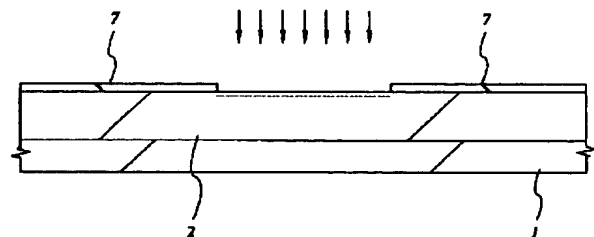
【図2】

図 2



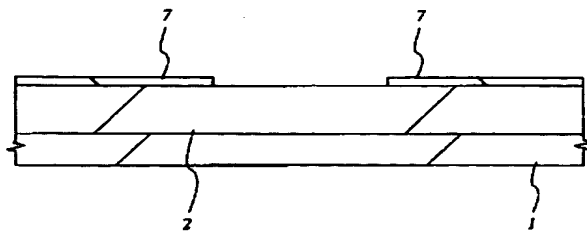
【図4】

図 4



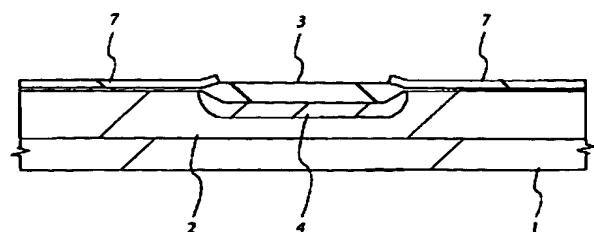
【図3】

図 3



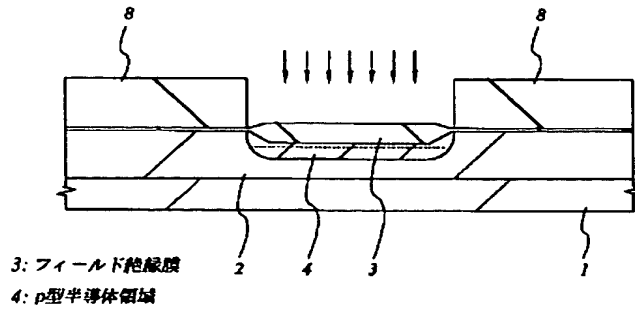
【図5】

図 5



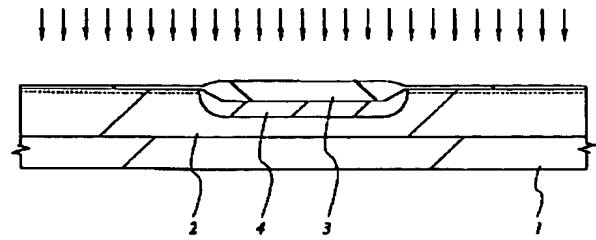
【図6】

図 6



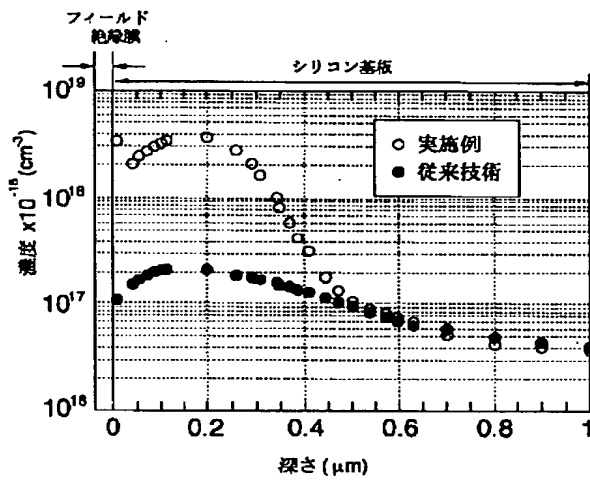
【図7】

図 7



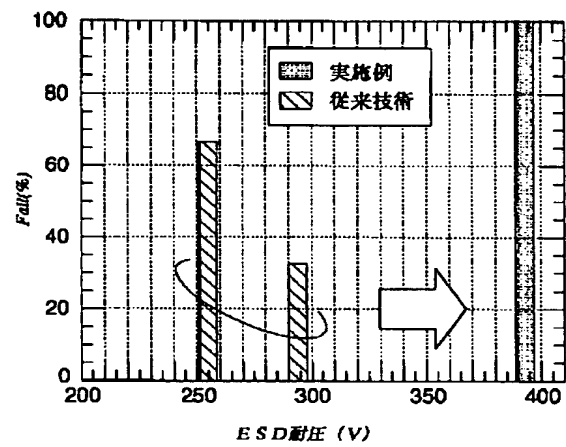
【図8】

図 8



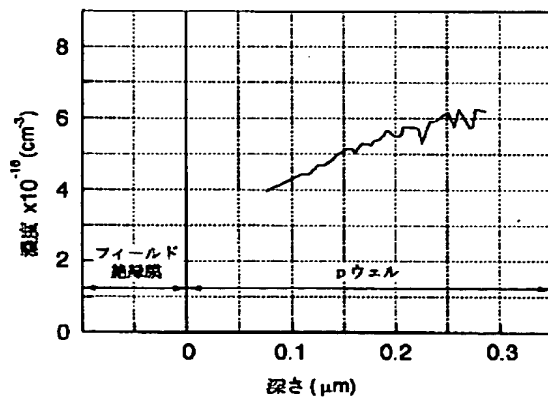
【図9】

図 9



【図10】

図 10



フロントページの続き

(72)発明者 橋本 ちえみ  
東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 奥山 幸祐  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内  
(72)発明者 石塚 裕康  
山形県米沢市大字花沢字八木橋東3の3274  
日立米沢電子株式会社内